



501.43170X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): K. FUKUI, et al.

Serial No.: 10/676,605

Filed: October 2, 2003

Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 20, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

**Japanese Patent Application No. 2002-299469
Filed: October 11, 2002**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone

Registration No.: 28,141

GEM/rr
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 1 日
Date of Application:

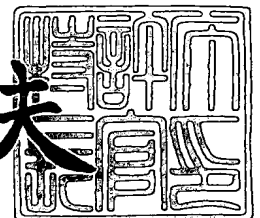
出 願 番 号 特 願 2 0 0 2 - 2 9 9 4 6 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 9 9 4 6 9]

出 願 人 株式会社ルネサステクノロジ
Applicant(s): 株式会社ルネサス北日本セミコンダクタ

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 6 4 2 4

【書類名】 特許願

【整理番号】 H02015751

【提出日】 平成14年10月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 福井 健一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 平木 充

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 伊藤 崇泰

【発明者】

【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

【氏名】 中村 功

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233594

【氏名又は名称】 日立北海セミコンダクタ株式会社

【代理人】**【識別番号】** 100081938**【弁理士】****【氏名又は名称】** 徳若 光政**【電話番号】** 0422-46-5761**【手数料の表示】****【予納台帳番号】** 000376**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 固定電圧発生回路と、

上記固定電圧発生回路で形成された固定電圧を受け、抵抗回路と第 1 トリミングスイッチ設定信号により制御されるスイッチとにより電圧利得が調整される増幅回路により第 1 基準電圧を形成する第 1 基準電圧発生回路と、

第 1 制御信号により活性化されて、上記第 1 基準電圧に対応した内部電圧を形成する第 1 出力バッファと、

複数の MOS F E T と第 2 トリミングスイッチ設定信号により制御されるスイッチとにより上記 MOS F E T のしきい値電圧の組み合わせが調整されて第 2 基準電圧を形成する第 2 基準電圧発生回路と、

第 2 制御信号により活性化されて、上記第 2 基準電圧に対応した内部電圧を形成する第 2 出力バッファと、

上記第 1 制御信号と第 2 制御信号により活性化された上記第 1 出力バッファ又は第 2 出力バッファから供給される内部電圧を受ける内部回路とを備え、

上記内部回路は、上記第 1 制御信号により第 1 出力バッファにより内部電圧が供給されるときにアクティブ状態にされ、上記第 2 制御信号により第 2 出力バッファにより内部電圧が供給されるときにはスタンバイ状態にされてなることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 において、

上記第 2 基準電圧発生回路は、ダイオード形態の複数 MOS F E T 及びスイッチからなる直列回路の複数個と、上記複数の直列回路に対して共通に設けられた電流源回路を含み、

上記第 2 トリミングスイッチ設定信号により上記スイッチを制御して上記第 2 基準電圧を調整してなることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 において、

上記第 2 基準電圧発生回路は、PN 接合ダイオードの順方向電圧を形成する定電圧回路と、異なる電流密度の電流を流す差動 MOS F E T によりオフセット電

圧を持つようにされたボルテージフォロワ回路の複数の縦列回路と、上記差動増幅回路の縦列接続点の電圧を選択するセクタとを備え、

上記定電圧は上記縦列回路の初段回路の入力電圧とされ、上記第 2 トリミングスイッチ設定信号により上記セクタを制御して上記縦列接続点の 1 つを上記第 2 基準電圧として出力させることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 において、

上記第 1 出力バッファよりも電流供給能力が小さくされた第 3 出力バッファを更に備え、

上記第 3 出力バッファは、半導体集積回路装置の直流電流試験動作のときに上記第 1 出力バッファに替わって動作状態にされることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 において、

上記第 1 出力バッファは上記第 1 制御信号により活性化され、

上記第 3 出力バッファは第 3 制御信号により活性化され、

上記固定電圧発生回路及び上記第 1 基準電圧発生回路は、上記第 1 制御信号と第 2 制御信号との論理和信号により活性化されてなることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 において、

上記第 1 基準電圧の出力電圧が上記内部回路が安定動作する所定電圧に到達したことを検出する電圧検出回路を更に備え、

上記第 1 制御信号により上記第 1 固定電圧発生回路、第 1 基準電圧発生回路及び第 1 出力バッファが非活性状態から活性化状態に遷移するとき、上記電圧検出回路の検出信号により上記内部回路へのクロック供給を開始し、上記第 2 制御信号により第 2 出力バッファを非活性状態に遷移させてなることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 において、

上記電圧検出回路は、上記固定電圧と上記第 1 基準電圧とを比較する電圧比較回路と、この電圧比較出力を受ける遅延回路とを含み、上記固定電圧に対して上記第 1 基準電圧が高くなったことの比較出力信号を上記遅延回路で遅延させて上

記検出信号を形成することを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 において、

上記第 2 基準電圧を受け、第 4 制御信号により活性化にされる第 3 出力バッファを更に備え、

上記第 4 制御信号は、上記第 1 制御信号により上記第 1 基準電圧に対応した内部電圧が出力された状態で上記第 3 出力バッファを活性化させて上記内部回路を動作状態とし、かかる内部回路により上記第 3 出力バッファの出力電圧が所望の電圧なるよう上記第 2 トリミングスイッチ設定信号を形成し、内部回路に含まれる不揮発性記憶回路に記憶させることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 において

上記内部回路は、上記第 1 出力バッファの出力電圧が所望の電圧なるよう上記第 1 トリミングスイッチ設定信号を形成し、上記不揮発性記憶回路に記憶させる動作を行うことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 9 において、

上記内部回路は、マイクロプロセッサ及びその動作の少なくとも一部が記憶された ROM 及び不揮発性記憶回路を含み、

上記 ROM には、上記第 1 基準電圧及び第 2 基準電圧を所望の電圧に設定する第 1 トリミングスイッチ設定信号及び第 2 トリミングスイッチ設定信号を形成する動作及びかかるトリミングスイッチ設定信号を上記不揮発性記憶回路に記憶させる動作を実行するプログラムを含むものであることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 9 において、

上記内部回路は、マイクロプロセッサ及びその動作の少なくとも一部が記憶された ROM 及び不揮発性記憶回路を含み、

上記 ROM には、上記第 1 基準電圧及び第 2 基準電圧を所望の電圧に設定するプログラムを読みこむ機能を含むものであることを特徴とする半導体集積回路装置。

【請求項 12】 第 1 電圧を形成する電圧発生回路と、

上記第 1 電圧を受ける第 1 入力端子と第 2 入力端子と出力端子とを有する増幅

回路と、上記出力端子と上記第 2 入力端子との間に接続された第 1 抵抗と、上記第 2 入力端子と第 2 電圧との間に接続された第 2 抵抗とを含み、第 1 基準電圧を形成する第 1 基準電圧発生回路と、

上記第 1 基準電圧に対応した内部電圧を形成する第 1 出力バッファと、

第 2 電圧と第 3 電圧との間に直列接続されたダイオード接続の第 1 MOSFET と電流源回路と、上記第 1 MOSFET と上記電流源回路との間のノードに接続されたゲートを有しそのソースドレイン経路から第 2 基準電圧を出力する第 2 MOSFET を含む第 2 基準電圧発生回路と、

上記第 2 基準電圧に対応した内部電圧を形成する第 2 出力バッファと、第 1 出力バッファ及び第 2 出力バッファから供給される内部電圧を受ける内部回路とを備え、

上記内部回路がアクティブ状態であるとき、上記第 1 出力バッファから上記内部電圧が供給され、上記内部回路がスタンバイ状態であるとき、上記第 2 出力バッファから上記内部電圧が供給されることを特徴とする半導体集積回路装置。

【請求項 13】 第 1 電圧を形成する電圧発生回路と、

上記第 1 電圧を受ける第 1 入力端子と第 2 入力端子と出力端子とを有する増幅回路と、上記出力端子と上記第 2 入力端子との間に接続された第 1 抵抗と、上記第 2 入力端子と第 2 電圧との間に接続された第 2 抵抗とを含み、第 1 基準電圧を形成する第 1 基準電圧発生回路と、

直列接続されたダイオード接続の第 1 MOSFET と電流源回路と、上記第 1 MOSFET と上記電流源回路との間のノードに接続されたゲートを有しそのソースドレイン経路から第 2 基準電圧を出力する第 2 MOSFET を含む第 2 基準電圧発生回路と、

内部電圧で動作する内部回路とを含み、

上記内部電圧は、上記第 1 基準電圧又は第 2 基準電圧に基づいて形成され、

上記内部回路がアクティブ状態であるとき、上記第 1 基準電圧発生回路は活性状態であり、

上記内部回路がスタンバイ状態であるとき、上記第 1 基準電圧発生回路は非活性状態であり、上記第 2 基準電圧発生回路は活性状態であることを特徴とする半

導体集積回路装置。

【請求項 14】 上記固定電圧を受け、抵抗回路と第 1 トリミングスイッチ設定信号により制御されるスイッチを有する増幅回路を含み、第 1 基準電圧を形成する第 1 基準電圧発生回路と、

複数の MOSFET と第 2 トリミングスイッチ設定信号により制御されるスイッチとを含み、第 2 基準電圧を形成する第 2 基準電圧発生回路と、

内部電圧を受けて動作する内部回路とを含み、

上記内部電圧は、上記第 1 基準電圧又は第 2 基準電圧に基づいて形成され、

上記内部回路がアクティブ状態であるとき、上記第 1 基準電圧発生回路は活性状態であり、

上記内部回路がスタンバイ状態であるとき、上記第 1 基準電圧発生回路は非活性状態であり、上記第 2 基準電圧発生回路は活性状態であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関し、例えば 1 チップのマイクロコンピュータの降圧電源回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】

内部降圧電源回路を持つ半導体集積回路装置に関して、以下の文献の存在が報告された。特開 2001-117650 公報（以下、先行技術 1 という）には、アクティブ用には自己消費電流が大きいが応答性の良いアクティブ用の内部降圧回路を使用し、スタンバイ用には応答性に劣るが自己消費電流の小さなスタンバイ用の内部降圧回路を切り替えて使用することで、スタンバイ時の低消費電力を実現することが記載されている。” A tunable CMOS-DRAM Voltage Limiter with Stabilized Feedback Amplifier”, IEEE J. SOLID-STATE CIRCUITS, vol125, No.5 OCT, 1990（以下、先行技術 2 という）には、MOSFET の直列／並列を切替えて電圧トリミングすることが記載されている。

【特許文献 1】

特開 2 0 0 1 - 1 1 7 6 5 0

【非特許文献 1】

"A tunable CMOS-DRAM Voltage Limiter with Stabilized Feedback Amplifier"
, IEEE J. SOLID-STATE CIRCUITS, vol125, No.5 OCT, 1990

【0 0 0 3】

【発明が解決しようとする課題】

本願発明者においては、CPU（マイクロプロセッサ）搭載の半導体集積回路装置におけるスタンバイ電流を約 $1\ \mu\text{A}$ 程度まで低減させることを検討した。前記先行技術 1 のようなスタンバイ用の降圧電源回路において、上記のような低消費電力を実現するためには、高抵抗を使用する必要がある、かかる高抵抗を半導体基板上に形成するためには抵抗素子の面積が巨大になってしまうという問題に直面した。そこで、先行技術 2 の MOSFET を用いる回路を利用して降圧電源回路を構成することを考えたが、トリミング等で電圧を調整した場合に温度特性が残り、精度が低下する問題のあることが判明した。

【0 0 0 4】

更に、旧来の DRAM のようなスタンバイ電流が $100\ \mu\text{A}$ 以上と大きな半導体集積回路装置では、格別な問題は生じないと考えられるが、CPU とその周辺回路を 1 つの半導体集積回路装置に搭載したシステム LSI のような多様な回路機能を持つものにおいては、スタンバイ時での電流低減のためにアクティブ用の基準電源回路を停止させる構成にすると、スタンバイ状態からアクティブ状態へ切り替える際に、アクティブ用の基準電源回路の再起動が必要となり、内部電圧が所望の安定電圧状態に到達するまで時間がかかり、上記アクティブへの切り替えとともに CPU 等の内部回路を動作させると誤動作が生じてしまうこと、あるいは CPU による降圧電圧のトリミングの自動化を図るときには、降圧電源回路の動作に格別な配慮を行う必要なこと等が判明した。

【0 0 0 5】

この発明の目的は、小面積化を図りつつ、高性能で低消費電力を実現した降圧電源回路を備えた半導体集積回路装置を提供することにある。この発明の他の目

的は、アクティブ用とスタンバイ用の2つの降圧電源回路の自動電圧調整を実現した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。固定電圧発生回路で形成された固定電圧を、抵抗回路と第1トリミングスイッチ設定信号により制御されるスイッチとにより電圧利得が調整される増幅回路で増幅して第1基準電圧を形成し、第1制御信号により活性化される第1出力バッファにより内部回路がアクティブ状態のときの内部降圧電圧を出力し、複数のMOSFETと第2トリミングスイッチ設定信号により制御されるスイッチとにより上記MOSFETのしきい値電圧の組み合わせを調整して第2基準電圧を形成して、第2制御信号により活性化される第2出力バッファにより内部回路がスタンバイ状態のときの内部降圧電圧を出力する。

【0007】

【発明の実施の形態】

図1には、この発明が適用されたマイコンLSIの一実施例のブロック図が示されている。同図の各回路ブロックは、公知のCMOS（相補型MOS）半導体集積回路の製造技術によって、単結晶シリコンのような1個の基板上において形成される。

【0008】

上記マイコンLSIは、特に制限されないが、RISC (Reduced instruction set computer)タイプの中央処理装置CPUにより、高性能な演算処理を実現し、システム構成に必要な周辺機器を集積し、携帯機器応用に向けられている。中央処理装置CPUは、RISCタイプの命令セットを持っており、基本命令はパイプライン処理を行って1命令1ステート（1システムクロックサイクル）で動作する。この中央処理装置CPUとデータシグナルプロセッサDSPを中心として、例えば携帯電話機に向けて以下のような周辺回路が搭載されている。

【0009】

内部バスは、Iバス、Yバス、Xバス、Lバス及び周辺バスからなり、最少部品点数によりユーザーシステムを構成できるように内蔵周辺モジュールとして、画像処理に向けたメモリXYMEM、メモリコントローラXYCNTが設けられる。このメモリXYMEM及びコントローラXYCNTは、Iバス、X、Yバス及びLバスに接続され、画像処理のためのデータ入出力及び表示動作のためのデータ出力動作が行われる。

【0010】

上記Iバスには、キュッシュメモリCACHE及びキャッシュメモリコントローラCCN、メモリマネージメントコントローラMMU、トランスレーショナルックアサイドバッファTLB、割り込みコントローラINTC、クロック発振器／ウォッチドッグタイマCPG／WDT、ビデオI/OモジュールVIO及び外部バスインターフェイスが設けられる。この外部バスインターフェイスを介して、図示しない外部のメモリLSI等と接続される。

【0011】

Lバスには、上記キュッシュメモリCACHE及びキャッシュメモリコントローラCCN、メモリマネージメントコントローラMMU、トランスレーショナルックアサイドバッファTLBと、上記中央処理装置CPU、データシグナルプロセッサDSP、ユーザーブレイクコントローラUBC及びアドバンストユーザーデバッグAUDが接続される。

【0012】

上記周辺バスには、16ビットのタイマユニットTMU、コンペアマッチタイマCMT、シリアルI/O（FIFO付き）SIOF0、FIFO内蔵シリアルコミュニケーションインターフェイスSCIF1、I²CコントローラI²C、多機能インターフェイスMFI、NAND／ANDフラッシュインターフェイスFLCTL、ユーザーデバックインターフェイスH-UDI、ASEメモリASERAM及びピンファンクションコントローラPFC、RCLK動作ウォッチドッグタイマRWD Tが接続される。上記周辺バスとIバスには、バスステートコントローラBSC、ダイレクトメモリアクセスコントローラDMACが接続され

る。

【0 0 1 3】

電源回路 V_G は、外部端子から供給された 3.0 V 等のような比較的高い外部電圧を受け、CPU等の内部回路がアクティブ状態のときには $1.4\text{ V} \sim 1.6\text{ V}$ のような降圧電圧を形成し、CPU等の内部回路がスタンバイ状態のときには $1.3\text{ V} \sim 1.7\text{ V}$ のような降圧電圧を形成する。このような降圧電圧は、上記各内部回路に動作電圧として供給される。ただし、外部バスインターフェイスは、上記約 3 V のような外部電圧に対応した信号レベルの授受のための入力回路、出力回路及びレベル変換回路を有し、かかる入力回路、出力回路及びレベル変換回路には、上記降圧電圧ではなく外部電圧が供給される。

【0 0 1 4】

図 2 には、上記電源回路 V_G の一実施例のブロック図が示されている。上記電源回路 V_G は、アクティブ用降圧電源回路とスタンバイ用降圧電源回路とから構成される。上記アクティブ用降圧電源回路とスタンバイ用降圧電源回路は、半導体集積回路装置 LSI に供給される外部電源電圧 V_{ext} を受けて、CPUや不揮発性記憶素子を含む内部回路に供給される内部電圧 V_{int} を形成する。

【0 0 1 5】

アクティブ用の降圧電源回路は、バンドギャップ型の固定電圧発生回路と、抵抗分圧比をトリミングスイッチ 1 設定信号によりトリミングスイッチを切り替えて基準電圧 V_{REF1} を形成する基準電圧 1 発生回路と、かかる基準電圧 V_{REF1} を受けるボルテージフォロワ形態の増幅回路からなる出力バッファ B1 により電流増幅して内部電圧 V_{int} を形成する。つまり、上記バンドギャップ型の固定電圧発生回路は、温度補償された固定電圧 $BGR1$ を発生させる。上記基準電圧 1 発生回路は、上記抵抗分圧比をトリミングスイッチ 1 設定信号によりスイッチ 1 を切り替えて増幅回路 A1 の電圧利得を調整して、上記固定電圧 $BGR1$ をアクティブ状態で必要とされる例えば $1.4\text{ V} \sim 1.6\text{ V}$ のような基準電圧 V_{REF1} に増幅する。これら上記アクティブ用の降圧電源回路を構成する各回路は、CPUから発生される制御信号 $enable1$ により選択的に活性化される。

【0 0 1 6】

スタンバイ用の降圧電源回路は、低消費電力化を図りつつ、所望の降圧電圧に設定するために、MOSFETのしきい値電圧差型の基準電圧回路においてMOSFETの接続をトリミングスイッチ2設定信号によりトリミングスイッチを切り替えて基準電圧VREF2を形成する基準電圧2発生回路と、かかる基準電圧VREF2を受けるボルテージフォロワ形態の増幅回路からなる出力バッファB2により電流増幅して内部電圧Vintを形成する。上記基準電圧2発生回路は、上記MOSFETの接続をトリミングスイッチ2設定信号によりスイッチ2を切り替えてスタンバイ状態で必要とされる例えば1.3V～1.7Vのような基準電圧VREF2を発生させる。上記アクティブ用の降圧電源回路を構成する基準電圧2発生回路と出力バッファB2は、CPUから発生される制御信号enVREF2とenOUT2により選択的に活性化される。

【0017】

半導体集積回路装置LSIの内部回路（Vint動作回路）がアクティブ状態のときには、上記制御信号enable1によりアクティブ用降圧電源回路の各回路が活性化される。このとき、スタンバイ用降圧電源回路の出力バッファ2は上記制御信号enOUT2より非活性状態にされる。これにより、内部回路（Vint動作回路）は、上記アクティブ用降圧電源回路により形成された内部電圧Vintにより動作するものである。上記スタンバイ用降圧電源回路の基準電圧2発生回路は、上記制御信号enVREF2により上記出力バッファB2と同様に非活性状態にしてもよいが、基準電圧2発生回路は、それ自身に流れる電流は上記アクティブ状態での半導体集積回路装置LSI全体で消費される電流に比べて無視できる程度に小さくされているから固定的に活性化状態にしてもよい。また、固定的に活性化すればアクティブからスタンバイへの切替時間を短縮するメリットがある。それ故、上記制御信号enVREF2を固定的に活性化レベルにするか、あるいは省略してもよい。

【0018】

半導体集積回路装置LSIの内部回路（Vint動作回路）をスタンバイ状態に切り替えると、上記制御信号enable1によりアクティブ用降圧電源回路の各回路が非活性化される。つまり、アクティブ用降圧電源回路を構成する固定電圧発生

回路、基準電圧 1 発生回路の増幅回路 A 1 やトリミング抵抗及び出力バッファ B 1 には直流電流が流れないようにされる。そして、上記制御信号 enOUT 2 より出力バッファ B 2 が活性状態にされて内部回路 (V_{int} 動作回路) には、スタンバイ用降圧電源回路の基準電圧 2 発生回路で形成された基準電圧 V_{REF} 2 に対応した内部電圧 V_{int} が供給される。内部回路のスタンバイ状態は、クロックの供給が停止されて AC 動作するほぼ全ての内部回路動作が停止され、DC 的な保持電流が主となる。

【0019】

内部回路は、上記のように回路動作が停止させられるので、このときに消費される電流が MOSFET 等に流れるリーク電流となり、内部回路では上記スタンバイ用降圧電源回路によりレジスタやラッチ回路等の記憶回路の記憶状態を保持するという動作を行う。したがって、スタンバイ状態で半導体集積回路装置 LSI で消費される電流は、前記スタンバイ用降圧電源回路で消費される電流と上記内部回路に流れるリーク電流となり、後述するようにスタンバイ用降圧電源回路で消費される電流を小さくすることにより、スタンバイ状態での消費電流を約 1 μ A 程度まで小さくする。

【0020】

図 3 には、図 1 の電源回路 V_G の他の一実施例のブロック図が示されている。この実施例では、スタンバイ状態での低消費電力化を図るために固定電圧発生回路を含む上記アクティブ用降圧電源回路の全ての回路動作を停止させてしまうので、スタンバイ状態からアクティブ状態に切り替える際に、アクティブ用降圧電源回路が安定動作するまで時間がかかる。このようにアクティブ用降圧電源回路が安定動作する前に CPU 等の内部回路が動作すると、アクティブ用降圧電源回路からの電流供給不足によって内部電圧 V_{int} が大幅に低下してしまい回路誤動作が生じてしまう。

【0021】

この実施例では、アクティブ用降圧電源回路にコンパレータ CMP とロジック回路からなる電圧検出回路が設けられる。コンパレータ CMP は、反転入力 (－) に固定電圧発生回路で形成された固定電圧 B_{GR} 1 を受け、非反転入力 (+)

に分圧抵抗の所定の分圧電圧を受けるようにされる。上記分圧電圧は、上記基準電圧 1 発生回路が安定動作した状態では、上記固定電圧 BGR1 よりも高くなる電位が選ばれる。

【0022】

したがって、制御信号 enable1 によりアクティブ用降圧電源回路が活性化された初期状態では、固定電圧 BGR1 が上記分圧電圧よりも高くなっているため、コンパレータ CMP はロウレベルの出力信号を形成する。そして、上記基準電圧 1 発生回路がほぼ安定動作した状態になると、上記固定電圧 BGR1 よりも分圧電圧が高くなり、コンパレータ CMP はハイレベルの出力信号を形成する。ロジック回路は、それを遅延させて制御信号 RADYREG を発生させる。

【0023】

上記制御信号 RADYREG は、内部回路に設けられたクロック制御回路のゲート回路 G1 の制御信号として用いられる。上記制御信号 RADYREG によりゲート回路 G1 がゲートを開いて、クロック CLK を CPU に供給する。これにより、CPU は、上記制御信号 enable1 によりアクティブ状態にされてから、上記コンパレータ CMP の出力信号がハイレベルに変化し、それを遅延させて形成された制御信号 RADYREG に対応してクロック CPUCLK が供給されて動作するものとなり、前記のような誤動作を防止することができる。

【0024】

図 4 には、この発明に係る電源回路の動作の一例を説明するための波形図が示されている。同図には、スタンバイ状態からアクティブ状態に切り替えられた後に、再びスタンバイ状態に切り替えた場合の各信号波形が示されている。まず、アクティブ用の降圧電源回路を起動する制御信号 enable1 が立ち上がる。これにより、アクティブ用降圧電源回路の各回路が活性化され、固定電圧 BGR1、基準電圧 VREF1 の順に立ち上がる。

【0025】

最初、内部電圧 Vint はスタンバイ用の出力バッファ B1 で保持している。スタンバイからアクティブへの切り替えの期間、アクティブ用の出力バッファ B1 とスタンバイ用の出力バッファ B2 は同時に動作している。2つのバッファに

P M O S 側の供給能力の高いバッファを使用することで、電圧の高いスタンバイ用の出力バッファ B 2 が内部電圧 V_{int} を支えるので、出力衝突による電圧低下は起きない。基準電圧 V_{REF1} の立ち上がりに従って、アクティブ用の出力バッファ B 1 が出そうとする出力電圧が上昇するが、負荷電流が軽い状態では内部電圧 V_{int} はスタンバイ用の出力バッファで高いレベルに支えられているので、内部電圧 V_{int} の変化は最初は見えない。

【0026】

コンパレータ CMP は、基準電圧 V_{REF1} を分圧し、定常状態では固定電圧 $BGR1$ よりより少し高い分圧電圧 $chkV_{REF1}$ と上記固定電圧 $BGR1$ を比較することにより、基準電圧 V_{REF1} の立ち上りを判定し、ロジック回路により制御信号 $READYREG$ をハイレベル（論理 1）にする。これにより、クロック制御回路のゲート G 1 がゲートを開いて CPU に対してクロック $CPUCLOCK$ の供給が開始され、スタンバイ用降圧電源回路の出力バッファ B 2 に供給される制御信号 $enOUT$ をロウレベルに変化させ、出力バッファ B 2 を非活性状態にする。これにより、アクティブ状態での内部電圧 V_{INT} ($=V_{int}$) は、基準電圧 V_{REF1} に対応した電圧 ($V_{INT}=V_{REF1}$) とされる。

【0027】

前記のようにアクティブ状態でも制御信号 $enREF2$ はハイレベル（常にイネーブル状態）にされ、基準電圧 2 発生回路は活性化された状態を維持する。それ故、基準電圧 2 発生回路では、上記基準電圧 V_{REF2} を形成しているが、出力バッファ B 2 が非活性状態（出力ハイインピーダンス状態）になるため、内部電圧 V_{INT} は、上記基準電圧 V_{REF1} に対応した電圧となる。

【0028】

アクティブ状態からスタンバイ状態への切り替えは、特に制限されないが、CPU により指示され、制御信号 $enable1$ が立ち下がる。これにより、アクティブ用降圧電源回路の各回路が非活性状態となり、それに応じてコンパレータ CMP 及びロジック回路からなる $READYREG$ 信号発生回路が制御信号 $READYREG$ をロウレベル（論理 0）にして、クロック制御回路のゲート G 1 を閉じて、CPU に対するクロック $CPUCLOCK$ を停止させ、CPU をスタンバイ又はス

リープ状態にする。また、望ましくは、enable1より前に、制御信号enOUTがハイとして、出力バッファB2を活性化させる。これにより、スタンバイ状態での内部電圧VINT (=Vint)は、基準電圧VREF2に対応した電圧 (VINT = VREF2) とされる。

【0029】

上記スタンバイ状態からアクティブ状態への切り替えは、CPUに対して割り込み信号を入力して、上記制御信号enable1 を立ち上げるようにするか、あるいはCPU内のタイマー回路のみを動作状態にしておいて、一定時間経過後に上記制御信号enable1 を立ち上げるにより実現される。また、外部信号により、上記制御信号enable1 を立ち上げるようにしてもよい。

【0030】

図5には、図3のREADYREG信号発生回路の動作の一例を説明するための波形図が示されている。電圧chkVREF1は、基準電圧VREF1の分圧電圧であり、定常時には固定電圧BGR1よりも高い電圧に選ばれている。したがって、前記のような制御信号enable1 のハイレベルに変化した直後には、 $BGR1 > chkVREF1$ の関係にあるが、基準電圧1発生回路での増幅動作によって安定状態に近づくと、 $BGR1 < chkVREF1$ のように逆転する。これをコンパレータが検知して、出力信号をロウレベルからハイレベルに変化させる。これをロジックにより遅延させて前記制御信号READYREGがロウレベルからハイレベルに変化させられる。

【0031】

図6には、図1の電源回路VGの更に他の一実施例のブロック図が示されている。この実施例では、スタンバイ用降圧電源回路を含んで半導体集積回路装置自体で自動トリミング調整を行うようにされる。この実施例では、半導体集積回路装置の動作モードとして、前記のようなアクティブ/スタンバイの切り替え他に「アクティブ/スタンバイ用の基準電圧のトリミング」のモードを設ける。このため、基準電圧VREF2をモニタする出力バッファB4、及び電圧セクタSELとコンパレータCMPが追加される。

【0032】

上記コンパレータCMPの反転入力（-）には、特に制限されないが、外部端子から設定すべき電圧が印加され、非反転入力（+）には、セクタSELを通した基準内部電圧V_{int} 又は出力バッファB4のモニタ電圧MONIが印加される。上記出力バッファB4は、上記出力バッファB2とは別に設けられた制御信号enMONIにより選択的に活性化される。

【0033】

例えば、前記のように内部電圧V_{int} をアクティブ状態では1.4～1.6Vにし、スタンバイ状態では1.3～1.7Vにするには、その中心電圧である1.5Vが上記外部端子から供給される。アクティブ用の基準電圧のトリミングモードにされると、CPUにより制御信号enable1を立ち上げ、半導体集積回路装置をアクティブ状態にして基準電圧V_{REF1}に対応した内部電圧V_{int} をセクタSELにより選択してコンパレータCMPの入力信号CMP_{in}として供給する。コンパレータCMPは、前記1.5Vのような参照電圧と比較し、その比較結果CMP_{out} をCPU等の内部回路に伝える。

【0034】

例えば、トリミングの手順は、前記基準電圧1発生回路の分圧比を最小に設定し、スイッチ1を切り替えて電圧利得を順次に大きくさせる。このようなスイッチ1の切り替えにより順次に基準電圧V_{REF1}を大きくし、上記コンパレータCMPの比較結果CMP_{out} がロウレベルからハイレベルに変化したとき、又はその直前のトリミングスイッチ1設定信号、つまり上記内部電圧V_{int} が上記1.5Vに最も近い電圧となったときのトリミングスイッチ1設定信号が検出され、それを不揮発性記憶素子に記憶させる。以後、この不揮発性記憶素子に記憶されたトリミングスイッチ1設定信号をレジスタ等に記憶させておいて、上記スイッチ1の制御信号を形成する。

【0035】

スタンバイ用の基準電圧のトリミングモードにおいては、前記のようなスタンバイ状態とは異なり、CPUにより制御信号enable1を立ち上げたままとし半導体集積回路装置をアクティブ状態において、制御信号enMONIにより出力バッファB4を活性化させる。つまり、前記のようなスタンバイ状態にすると、

内部回路の動作が停止させられるので、アクティブ用のトリミングモードのような動作が行えないからである。

【 0 0 3 6 】

この実施例では、制御信号enable1 を立ち上げたままとし半導体集積回路装置をアクティブ状態にしているので、前記基準電圧VREF2に対応した内部電圧MONIをセレクタSELにより選択してコンパレータCMPの入力信号CMPinとして供給することができる。コンパレータCMPは、前記1.5Vのような参照電圧CMPbaseと比較し、その比較結果CMPout をCPU等の内部回路に伝える。

【 0 0 3 7 】

したがって、スタンバイ時のトリミングの手順も前記アクティブ時のトリミング手順と同様に、前記基準電圧2発生回路の出力電圧を最小に設定し、スイッチ2の切り替えにより順次に基準電圧VREF2を順次に高くし、上記コンパレータCMPの比較結果CMPout がロウレベルからハイレベルに変化したとき、又はその直前のトリミングスイッチ2設定信号、つまり上記内部電圧MONIが上記1.5Vに最も近い電圧となったときのトリミングスイッチ2設定信号の組み合わせが検出され、それを不揮発性記憶素子に記憶させる。以後、この不揮発性記憶素子に記憶されたトリミングスイッチ2設定信号をレジスタ等の記憶させておいて、上記スイッチ2の制御信号を形成する。

【 0 0 3 8 】

この構成では、テストコスト低減のためテスト1台当たりの同時測定個数を増やして1個当たりのテスト占有時間を削減することができる。つまり、テストに複数の半導体集積回路装置を並列接続させ、上記参照電圧CMPbaseを供給することにより、テスト動作中に上記複数個の半導体集積回路装置のトリミングを同時並行して行うようにすることができる。

【 0 0 3 9 】

上記モニタ端子の信号MONIを基準電圧(CMPbase)と比較するコンパレータCMPとコンパレータCMPの比較結果を判定し新しいトリミングデータを決定する回路は、CPUの他にランダムロジック等で構成された専用回路により

行うようにしてもよい。このトリミングデータを不揮発記憶素子に書き込む信号の経路も同様である。上記不揮発性素子は、上記電源回路 V_G に含ませるもの他、前記半導体集積回路装置 LSI に搭載される不揮発性記憶回路を利用するものであってもよい。

【0040】

図7には、前記図2の基準電圧2発生回路の一実施例の具体的回路図が示されている。この実施例では、前記図2の実施例等の制御信号 $enVREF2$ は省略されている。この実施例は、ダイオード接続の $MOSFETM1$ と $M2$ に定電流を流して、しきい値電圧 V_{TH} に対応した定電圧 $2 \times V_{TH}$ を形成する。この定電圧 $2 \times V_{TH}$ を $MOSFETM3$ 、 $M4$ とそれぞれのソースに設けられた定電流源からなるソースフォロワ回路により出力させ、それを増幅回路 $A2$ で増幅して基準電圧 $VREF2$ を形成する。

【0041】

上記 $MOSFETM1$ と $M2$ の直列回路は、その詳細図に示されていくように2つのダイオード接続の $MOSFET$ とスイッチからなる直列回路の複数個が並列形態にされて構成される。上記スイッチは、トリミング信号により選択的にオン状態にされる。つまり、オン状態にされたスイッチを持つ直列回路が並列接続されることになる。 $MOSFETM1$ と $M2$ は、上記スイッチにより並列接続された $MOSFET$ を代表して示している。

【0042】

上記直列回路を構成する $MOSFETM1$ と $M2$ は、ソースフォロワ回路等を構成する $MOSFETM3 \sim M6$ に比べて大きなしきい値電圧を持つようにされる。特に制限されないが、 $MOSFETM1$ 、 $M2$ は、そのチャネル領域にはその不純物濃度を高くするようイオン打ち込みが実施されることにより、イオン打ち込みが行われない $MOSFETM3$ 等のしきい値電圧 V_{TH2} に比べて大きなしきい値電圧 V_{TH1} を持つようにされる。これにより、 $MOSFETM1$ と $M2$ でされたノード $N1$ の電圧は、 $2 \times V_{TH1}$ のような電圧にされる。この電圧 $2 \times V_{TH1}$ が $MOSFETM3$ 、 $M4$ のゲート、ソースを介して出力させるので、ノード $N2$ の電圧は、 $2 \times V_{TH1} - 2 \times V_{TH2}$ のような電圧にされる。

【0043】

このようにしきい値電圧 V_{TH} が異なる 2 種類の MOS のゲート、ソース間電圧 V_{GS} の差電圧の基準電圧に用いる。この実施例では、低消費電力のために上記 MOSFET に電流を流す定電流源 I_1 の電流値は、例えば 100 nA のような小さな電流にされる。増幅回路 A_1 のバイアス電流も同様に 100 nA となるようにされる。そして、増幅回路 A_1 の利得を設定する MOSFET M_5 、 M_6 に流れる電流は、約 200 nA 程度にされる。これにより、基準電圧 2 発生回路で消費される消費電流は約 500 nA 程度に抑えられる。

【0044】

上記 MOSFET M_1 と M_2 は、前記のような並列接続の MOSFET の数により設定される。つまり、並列接続する MOSFET の合計の幅を N のように増加させると、前記のように定電流源 I_1 で形成した 100 nA のような電流が並列接続数に対応して分配され、1 つの直列回路に流れる電流が $1/N$ のように小さくなる。このため、 M_1 と M_2 に代表されるような MOSFET の単位幅当りの電流が減少するので、ゲート、ソース間電圧 V_{GS} (V_{TH1}) が減少して前記 $2 \times V_{TH1}$ を低下する。これにより、ノード N_2 の電圧 ($2 \times V_{TH1} - 2 \times V_{TH2}$) も低下し、それを増幅回路 A_2 の 2 倍に増幅する ($M_5 = M_6$) ので、上記基準電圧 V_{REF2} を調整することができる。

【0045】

このトリミング方法は、電流密度を調整することが本質である。図中、 I_1 と同じ電流で表しているが、MOSFET M_1 、 M_2 の電流源の電流と、MOSFET M_3 、 M_4 の電流源の電流の値を変えることでもトリミング可能である。この回路は、MOSFET M_1 、 M_2 、 M_3 、 M_4 の MOS の形（特にゲート幅 W 、ゲート長 L_g 、及び、配置）が等しく、 I_1 で示した電流が全て等しい時、デバイスの差は殆どキャンセルされ、基準電圧は MOSFET M_1 、 M_2 と M_3 、 M_4 のインプラの差だけで制御することが出来るメリットがある。

【0046】

トリミングにより、MOSFET M_1 、 M_2 の幅を N 倍に変化させた場合、例えば MOS をサブスレッショルド領域で動作させる場合は、

$$V_{REF2} = 2 \times 2 \times (V_{TH1} - V_{TH2} - S \times \log_{10}(N))$$

で表すことが出来る。ここでSはサブスレッシュホールドスイング [V/10倍] である。この式から、トリミングで電圧の調整はできるが、 $N=1$ からずれる程、サブスレッシュホールドスイングSの温度特性の影響が強く見えることが判る。

【0047】

図8には、前記図2の基準電圧2発生回路の他の一実施例の具体的回路図が示されている。この実施例でも、前記図2の実施例等の制御信号 enV_{REF2} は省略されている。この実施例は、電圧トリミングとともに温度補償も行うようにされる。この実施例では、PN接合ダイオードD1の順バイアス時の順方向電圧を、多段接続のボルテージフォロワ回路により伝達させる。各段の電圧をトリミング設定信号により制御されるセクタSELにより選択できるようにし、出力バッファB2に伝える。

【0048】

この実施例では、ボルテージフォロワ回路を構成する差動増幅回路A11～A1Nのそれぞれは、差動増幅回路A11に代表されるようにPチャネルの差動MOSFETQ1とQ2の幅が、1:Mのように異なるようにされる。これらの差動MOSFETQ1とQ2のドレイン側に設けられた電流ミラー形態のNチャネルの負荷MOSFETは、サイズが1:1にされて同じ差動MOSFETQ1とQ2に同じ電流を流すようにされる。これにより、差動MOSFETQ1とQ2に流れる電流密度に差が生じて、サブスレッシュホールドスイングSに比例したオフセット電圧が発生する。

【0049】

上記ダイオードD1の順バイアス時の順方向電圧は多段構成のボルテージフォロワ回路A11～A1Nを1段通る毎にオフセット電圧が累積して行くので、セクタSELにより適切な段数の出力を取り出すことで、所望の電圧と温度特性の基準電圧 V_{REF2} をとり出すことが出来る。この実施例でも、低消費電力化のために、上記ダイオードD1や差動増幅回路A11～A1Nに設けられる定電流源I_oの電流値は約50nA程度に小さくされる。これにより、差動増幅回路を多数設けても前記図7と同様に低消費電力とすることができる。

【0050】

この実施例では、トリミング可能な基準電圧 V_{REF2} の形成のために、MOSFETを用いているのでスタンバイ用降圧電源回路が占める面積を小さくすることができる。ちなみに、アクティブ用降圧電源回路のように、抵抗トリミング回路により上記スタンバイ用降圧電源回路を構成する場合、前記のような低消費電力化のために基準電圧 V_{REF2} を $1.5V$ として、そこに約 $100nA$ 程度の電流しか流さないようにするには、 $15M\Omega$ のような高抵抗値とする必要がある。このような高抵抗素子をポリシリコン抵抗素子により実現するためには、MOSFET換算で約 50 個分以上の大きな占有面積を必要とする。

【0051】

図 9 には、図 8 の基準電圧 2 発生回路の動作を説明するための温度特性図が示されている。PN 接合ダイオード $D1$ の順方向電圧は、周知のように負の温度特性を持ち、サブスレッショルドスイング S は正の温度特性を持つので、上記タップ数が大きくなって上記加算されるオフセット電圧が多くなるに従い、温度特性は負特性から正特性に変化する。図 8 の温度特性において、半導体集積回路装置の動作環境温度を考慮して、上記複数の選択タップに対応した特性 t_{ap00} から t_{ap07} の中から 1 つが選ばれる。温度特性を優先させるなら特性 t_{ap03} 、特性 t_{ap04} が選ばれる。基準電圧 V_{REF2} の電圧範囲が許容範囲内であれば、所望の電圧にするために温度依存性が残ってもよい。

【0052】

図 10 には、アクティブ用降圧電源回路の他の一実施例の回路図が示されている。この実施例では、固定電圧発生回路で形成される固定電圧 $BGR1ub$ は、基準電圧 V_{REF1} よりも高い場合が示されている。固定電圧発生回路で形成された固定電圧 $BGR1ub$ は、ボルテージフォロワ回路からなるバッファ回路 $B5$ により電流増幅されて固定電圧 $BGR1$ とされる。この固定電圧 $BGR1$ は、分圧抵抗回路により分圧され、各分圧点の電圧がトリミングスイッチ 1 設定信号により制御されるスイッチ 1 により選択される。このスイッチ 1 により選択された分圧電圧 V_{REF1ub} は、ボルテージフォロワ回路からなるバッファ回路 $B6$ により電流増幅されて基準電圧 V_{REF1} とされ、前記出力バッファ $B1$ を通して内

部電圧 V_{int} として出力される。

【0053】

この実施例では、前記のように固定電圧 $BGR1$ を分圧して上記基準電圧 V_{REF1} を形成する構成をとるので、 $READYREG$ 生成回路のコンパレータ CMP の非反転入力 (+) には、上記基準電圧 V_{REF1} が電圧 t_{at} として供給され、反転入力 (-) には、トリミング用の分圧電圧よりも低い分圧電圧 chk が供給される。

【0054】

アクティブ用降圧電源回路の制御信号 $enable1$ は、起動信号 $cmpstart$ として遅延回路 $TD1$ とゲート回路 $G2$ とゲート回路 $G3$ に供給される。遅延回路 $TD1$ により遅延された信号のハイレベルとコンパレータ CMP の出力信号のハイレベルにより、ゲート回路 $G2$ の出力信号をハイレベルにし、遅延回路 $TD2$ により再度遅延させて上記制御信号 $enable1$ によりゲートを開いているゲート回路 $G3$ を通して $READYREG$ 信号を出力させる。上記コンパレータ CMP の参照電圧 chk は、比較電圧 tgt よりも早く立ち上がるが、制御信号 $enable1$ ($cmpstart$) で立ち上がる信号であることと、コンパレータ CMP 自身も非活性から活性化されるものであるので、 $cmpstat$ 直後の遅延時間 t_{d1} 期間の比較結果は不安定となる。そこで、遅延時間 $TD1$ を不安定時間として、コンパレータ出力をマスクする。この実施例では、基準電圧 1 発生回路の起動時の安定動作までの時間を上記のような遅延回路 $TD1$ 、 $TD2$ の時間設定により確保するものである。コンパレータ CMP は、主としてバッファ回路 $B6$ の動作を確認するために設けられる。

【0055】

図 11 には、アクティブ用降圧電源回路に設けられる $READYREG$ 生成回路の他の一実施例の回路図が示されている。アクティブ用降圧電源回路は、前記図 2 等の実施例と同様である。この実施例では、基準電圧 V_{REF1} の立ち上がり判定に、基準電圧 V_{REF2} を適当に分圧し chk V_{REF1} の定常値よりも低い電圧にした電圧 chk V_{REF2} を用いる。つまり、前記のようにスタンバイ用降圧回路の基準電圧 2 発生回路は、定常的に基準電圧 V_{REF2} を形成してい

るので、それを分圧した電圧 chkVREF2 もスタンバイ状態でもアクティブ状態でも定常的に一定の電圧レベルを維持している。

【0056】

したがって、アクティブ用降圧電源回路が制御信号 enable1 により活性化されて、前記分圧した電圧 chkVREF1 が上記電圧 chkVREF2 を超えることをコンパレータで比較するので、前記図3のように VREF1 の立ち上がりの判定が出来る。上記コンパレータ CMP の出力信号を処理するロジック回路は、前記図10と同様である。すなわち、コンパレータ CMP において、 tgt 電圧を最終値より若干小さな chk 電圧とを比較し、超えたことを判定し、その後に最終値までの到達見こみ時間 TD2 待った後 READYREG 信号を出力する。なお、ロジック回路は、前記図10と同様である。

【0057】

図12には、図1の電源回路 VG の更に他の一実施例のブロック図が示されている。この実施例では、半導体集積回路装置の直流電流 (id dq) テスト用の電源を設けるようにするものである。上記 id dq テストにおいては、内部回路をゆっくりと動作させながら半導体集積回路装置の外部端子 Vext から流れ込む電流を測定して素子や配線での絶縁不良を検出する。

【0058】

上記アクティブ用降圧電源回路は、内部回路を高速に動作させても安定した内部電圧 Vint を得るように比較的大きな電流供給能力を持つことが必要とされる。つまり、内部回路で消費される動作電流が変動しても内部電圧 Vint が安定するように大きな電流供給能力を持つことが必要であり、アクティブ用降圧電源回路自身で流れる電流も大きくことが必要とされる。したがって、上記のような id dq テストでの絶縁不良によって発生するリーク電流に比べて上記アクティブ用降圧電源回路自身で流れる電流が大きく、リーク電流の有無の検出が難しくなる。

【0059】

この問題を解決するために、 id dq テスト用降圧電源回路が設けられる。この id dq テスト用降圧電源回路は、回路の簡素化のめたに出力バッファ B3 か

ら構成される。つまり、前記基準電圧 1 発生回路で形成された基準電圧 V_{REF1} を上記出力バッファ B 3 に入力して内部電圧 V_{int} を形成する。このため、アクティブ用の制御信号 enable1 の他に i d d q テスト用の制御信号 enable2 が設けられ、上記出力バッファ B 3 の活性化に用いる。上記基準電圧 1 発生回路は、上記制御信号 enable1 と enable2 を受けるオアゲート回路 G 4 で形成された制御信号 enable により上記アクティブ時及び i d d q テスト時に活性化される。

【0060】

上記出力バッファ B 3 は、上記 i d d q テスト時に内部回路がゆっくりとした動作しかしないので、動作電流を出力バッファ B 1 に比べて小さく設定できる。これにより、i d d q テスト時に降圧電源回路で消費される電流を小さくすることができるから、上記絶縁不良によって発生するリーク電流の検出精度が高くなる。上記基準電圧 1 発生回路での消費電流が無視できないのなら、i d d q テストモードでは、アクティブ用降圧電源回路の動作を停止させ、上記スタンバイ用の基準電圧 2 発生回路の基準電圧 V_{REF2} を用いて上記出力バッファ B 3 により内部電圧 V_{int} を形成するものであってもよい。

【0061】

図 13 には、アクティブ用降圧電源回路に設けられる READYREG 生成回路の更に他の一実施例の回路図が示されている。この実施例のアンプ（増幅回路）A 1 は、差動増幅回路に P チャネルの出力段 MOSFETMP101 を設けて、そのゲート V_{Plimit} が READYREG 生成回路の出力段の電流制限用の P チャネルの MOSMP401 に電流ミラー形態に接続される。これにより、基準電圧 V_{REF1} を形成するために寄生容量 CREF1 に流れる電流と、固定電圧 BGR1 と前記分圧電圧 $chkV_{REF1}$ を比較するコンパレータ CMP に流れる電流が対応される。上記コンパレータ CMP の出力に設けられる遅延用の容量 CDLY2 が設けられる。

【0062】

スタンバイ時の初期値は、 $BGR1 = V_{REF1} = NDLY2 = READYREG = 0V$ （ロウレベル）である。制御信号 enable1 が立ち上がると RDYRESET 信号等初期値を決めていたスイッチ MOSFETMN432 等がオフとな

る共に、固定電圧発生回路の固定電圧BGR1が立ち上がり始める。これに続いて、アンプA1のMOSFETMP101が、容量CPH1やCREF1を充電しながら、基準電圧VREF1信号を立ち上げる。基準電圧VREF1の分圧電圧chkVREF1のレベルが固定電圧BGR1を超えると、コンパレータCMPの出力が反転し、PチャネルMOSFETMP402がオンし、NDLY2信号が立ち上がり始める。

【0063】

ノードNDLYへ流れ込む電流は、ノードVREF1へ電流を流しているMOSMP101のとMP401がVPlimitを介してミラー接続しているのでミラー比（サイズ比）で決まる小電流に絞ることができる。NDLY2信号がインバータIV1, IV2のスレッシュホールドを超えると、READYREG信号がハイレベルとなる。上記のようにREADYREG信号を形成する電流を小電流に絞ることができるので、遅延用容量CDL2は小さい容量値（サイズ）のものを用いることができる。

【0064】

アクティブからスタンバイへの切り替え時は信号RDYRESET2をハイレベルにしてMOSFETM432をオン状態にし、READYREG信号をロウレベルにする。信号RDYPRESET2は、それをロウレベルにすることによりPチャネルMOSFETMP422をオンとし、強制的にREADYREG信号をハイレベルにするためのものである。

【0065】

以上の各実施例の説明においては、本願発明と関係の無い部分は省略されている。例えば、トリミング前の初期値や、電源投入、部分的な誤動作に対する破壊防止と復帰等の考慮がチップの何れかの部分で必要になる。本実施例で明示した回路でこれらに関した信号の追加削除を禁止するものではない。

【0066】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、固定電圧発生回路や基準電圧1発

生回路は、消費電流に制約がないから種々の実施形態とすることができる。スタンバイ用降圧回路は、MOSFETのしきい値電圧差を利用しつつ、トリミングが可能とされるものであればよい。この発明は、マイクロプロセッサ等を含むような各種のデジタル信号処理回路の他、ダイナミック型RAMやスタティック型RAM等のように書き込みや読み出し動作が行われるアクティブモードと、記憶情報を保持するだけのスタンバイモードを有する半導体記憶装置にも同様に適用することができる。

【0067】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。固定電圧発生回路で形成された固定電圧を、抵抗回路と第1トリミングスイッチ設定信号により制御されるスイッチとにより電圧利得が調整される増幅回路で増幅して第1基準電圧を形成し、第1制御信号により活性化される第1出力バッファにより内部回路がアクティブ状態のときの内部降圧電圧を出力し、複数のMOSFETと第2トリミングスイッチ設定信号により制御されるスイッチとにより上記MOSFETのしきい値電圧の組み合わせを調整して第2基準電圧を形成して、第2制御信号により活性化される第2出力バッファにより内部回路がスタンバイ状態のときの内部降圧電圧を出力することにより、小面積で高性能と低消費電力を実現した半導体集積回路装置を得ることができる。

【図面の簡単な説明】

【図1】

この発明が適用されたマイコンLSIの一実施例を示すブロック図である。

【図2】

図1の電源回路VGの一実施例を示すブロック図である。

【図3】

図1の電源回路VGの他の一実施例を示すブロック図である。

【図4】

この発明に係る電源回路の動作の一例を説明するための波形図である。

【図 5】

図 3 の R E A D Y R E G 信号発生回路の動作の一例を説明するための波形図である。

【図 6】

図 1 の電源回路 V G の更に他の一実施例を示すブロック図である。

【図 7】

図 2 の基準電圧 2 発生回路の一実施例を示す具体的回路図である。

【図 8】

図 2 の基準電圧 2 発生回路の他の一実施例を示す具体的回路図である。

【図 9】

図 8 の基準電圧 2 発生回路の動作を説明するための温度特性図である。

【図 10】

この発明に係るアクティブ用降圧電源回路の他の一実施例を示す回路図である。

【図 11】

この発明に係るアクティブ用降圧電源回路に設けられる R E A D Y R E G 生成回路の他の一実施例を示す回路図である。

【図 12】

図 1 の電源回路 V G の更に他の一実施例を示すブロック図である。

【図 13】

この発明に係るアクティブ用降圧電源回路に設けられる R E A D Y R E G 生成回路の更に他の一実施例を示す回路図である。

【符号の説明】

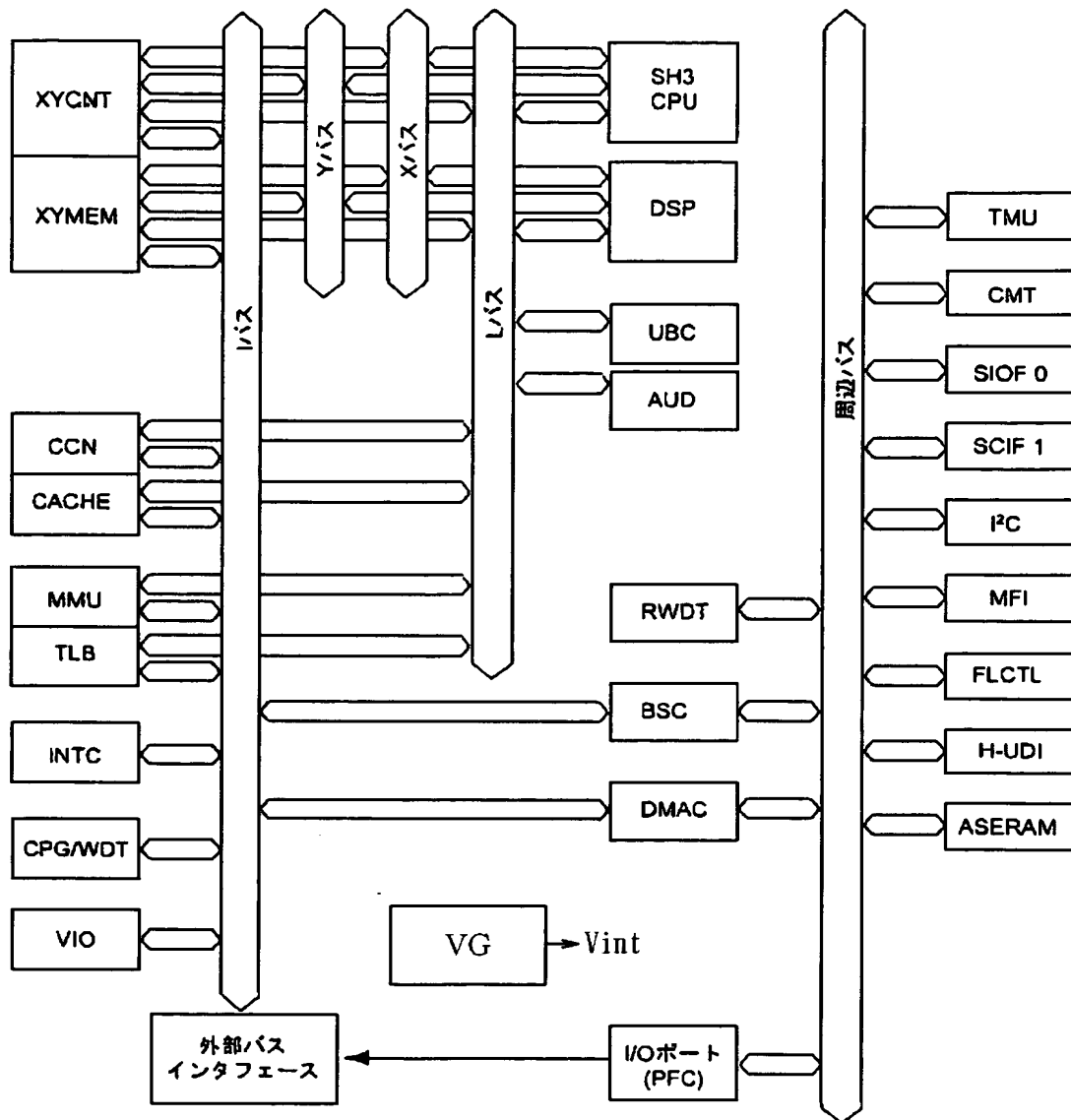
C P U…中央処理装置（マイクロプロセッサ）、D S P…データシグナルプロセッサ D S P、X Y M E M…メモリ、X Y C N T…メモリコントローラ、C A C H E…キャッシュメモリ、C C N…キャッシュメモリコントローラ、M M U…メモリマネージメントコントローラ、T L B…トランスレーションルックアサイドバッファ、I N T C…割り込みコントローラ、C P G / W D T…クロック発振器／ウォッチドッグタイマ、V I O…ビデオ I / O モジュール、U B C…ユーザー

ブレークコントローラ、AUD…アドバンスドユーザーデバッグ、TMU…タイマユニット、CMT…コンペアマッチタイマ、SIOF0…シリアルI/O（FIFO付き）、SCIF1…FIFO内蔵シリアルコミュニケーションインターフェイス、I²C…I²Cコントローラ、MFI…多機能インターフェイス、FLCTL…NAND/ANDフラッシュインターフェイス、H-UDI…ユーザーデバックインターフェイス、ASERAM…ASEメモリ、PFC…メモリピンファンクションコントローラ、RWDT…RCLK動作ウォッチドッグタイマ、BSC…バスステートコントローラ、DMAC…ダイレクトメモリアクセスコントローラ。

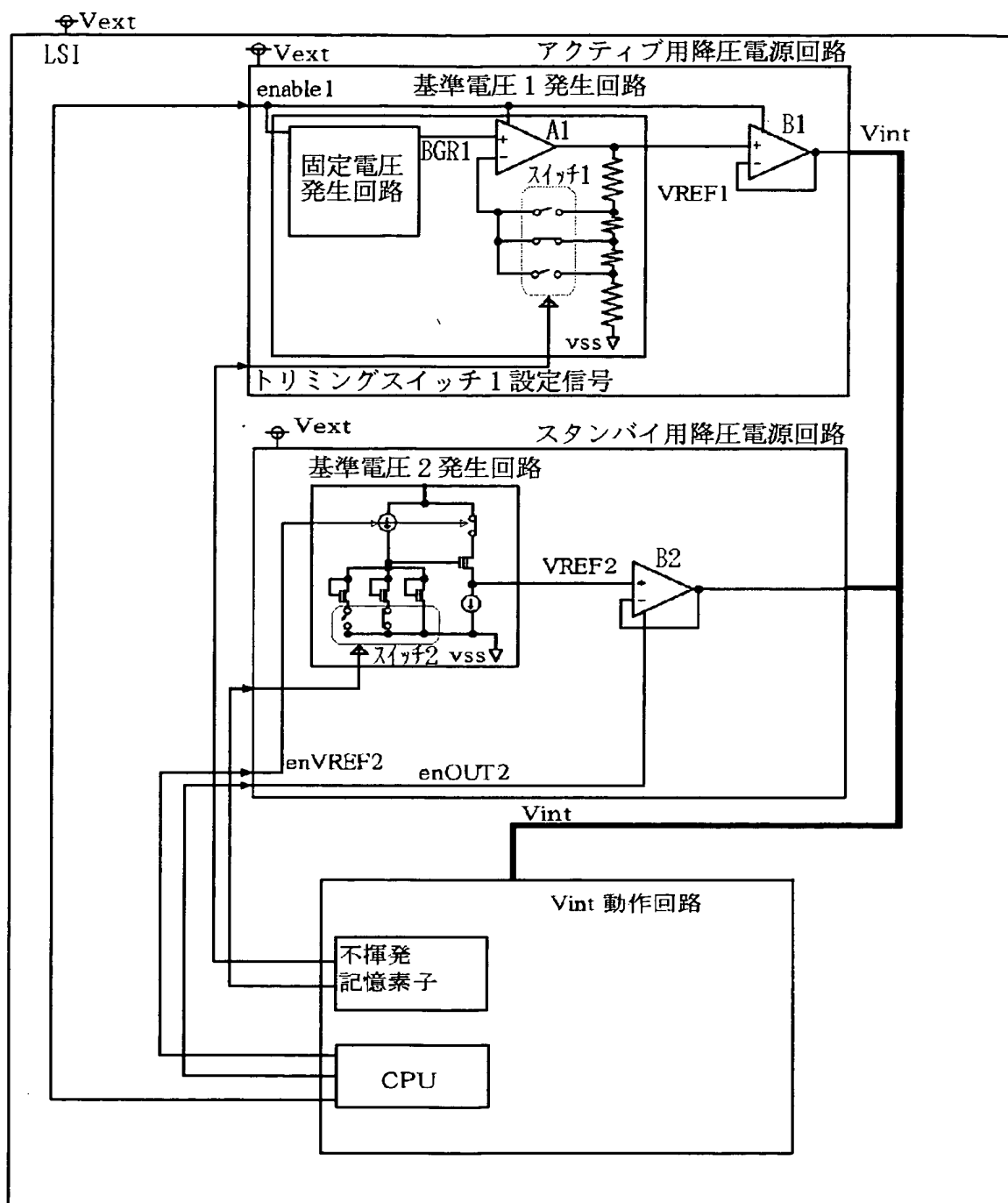
B1～B3…出力バッファ、B4～B6…バッファ回路、A1～A2…増幅回路、A11～A1N…差動増幅回路、SEL…セクタ、CMP…コンパレータ、M1～M6…MOSFET、Q1～Q4…MOSFET、G1～G4…ゲート回路、I_o、I1…電流源、IV1、IV2…インバータ。

【書類名】 図面

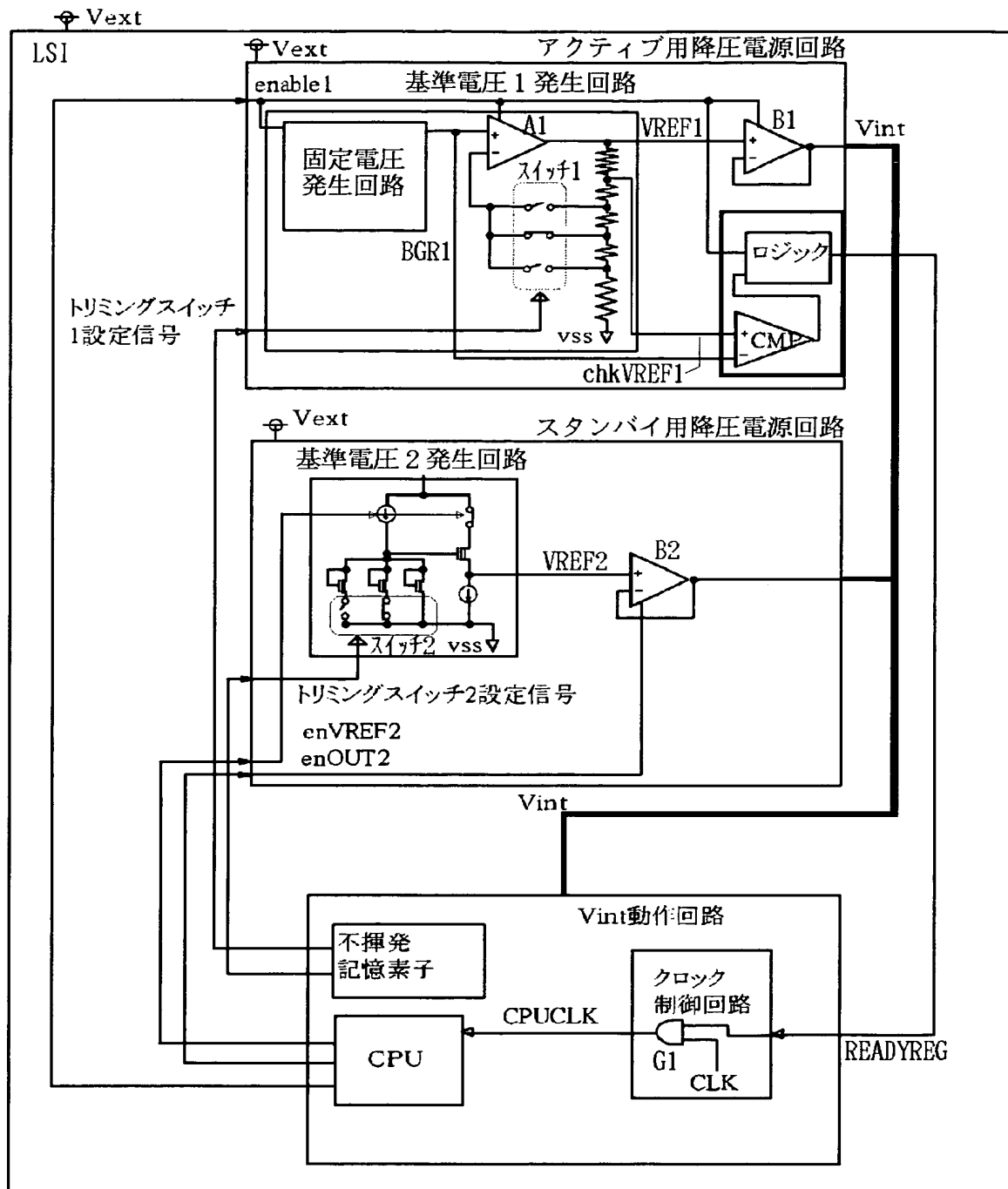
【図 1】



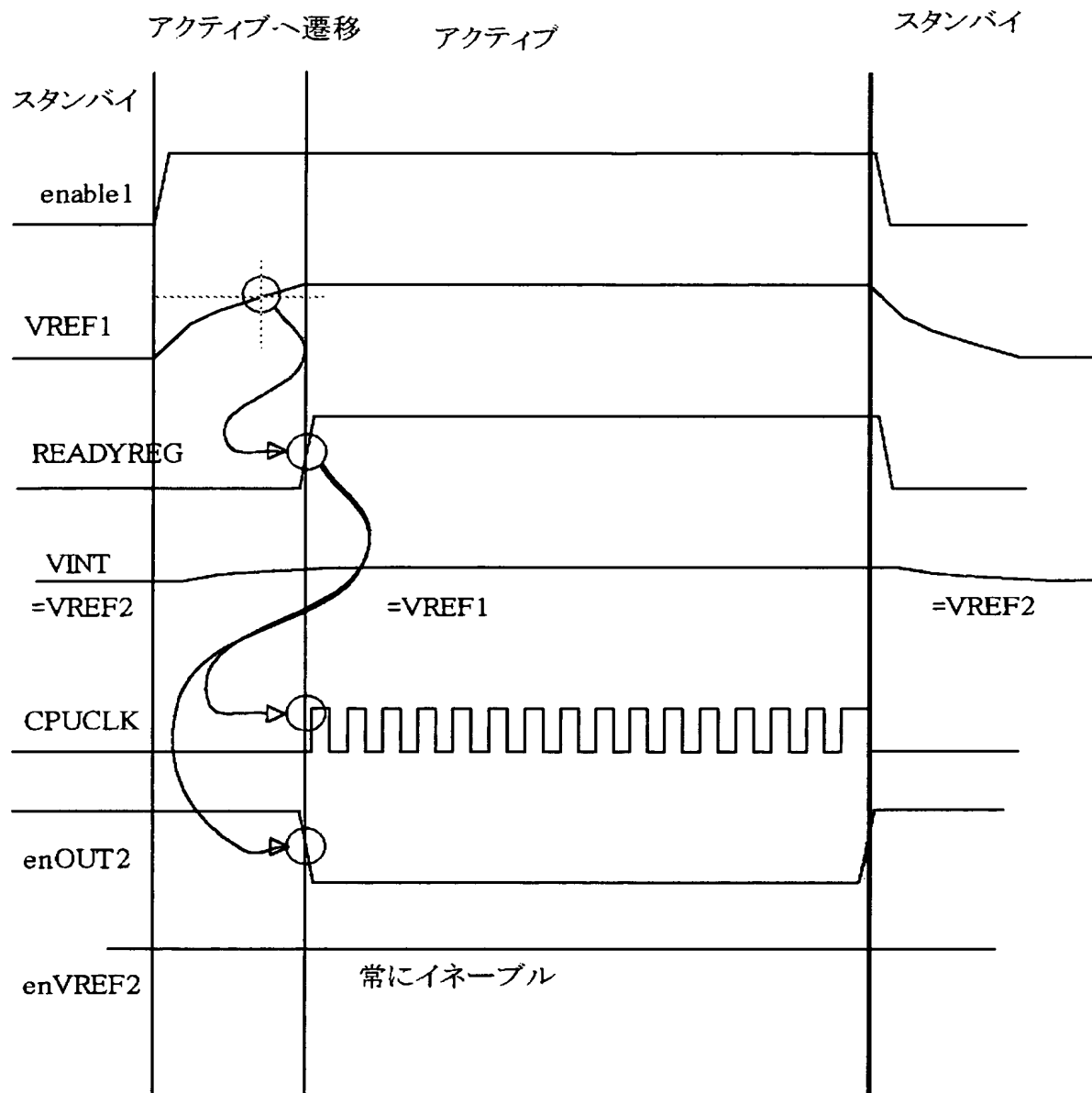
【図 2】



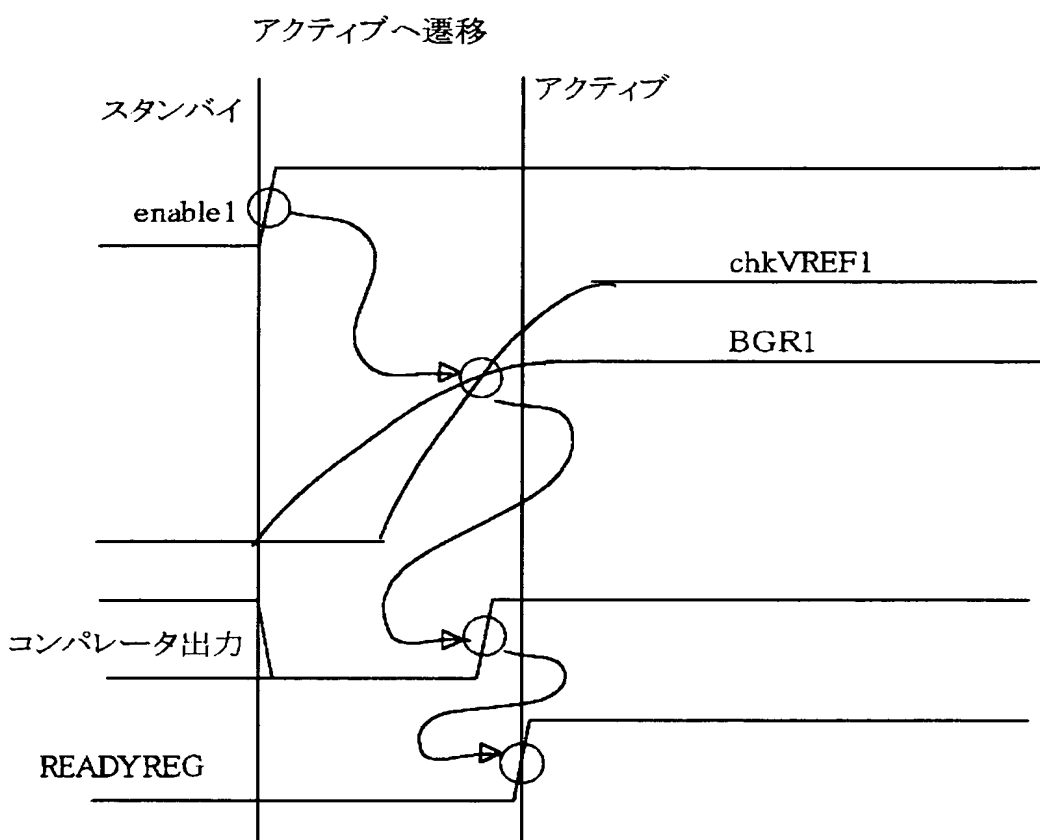
【図 3】



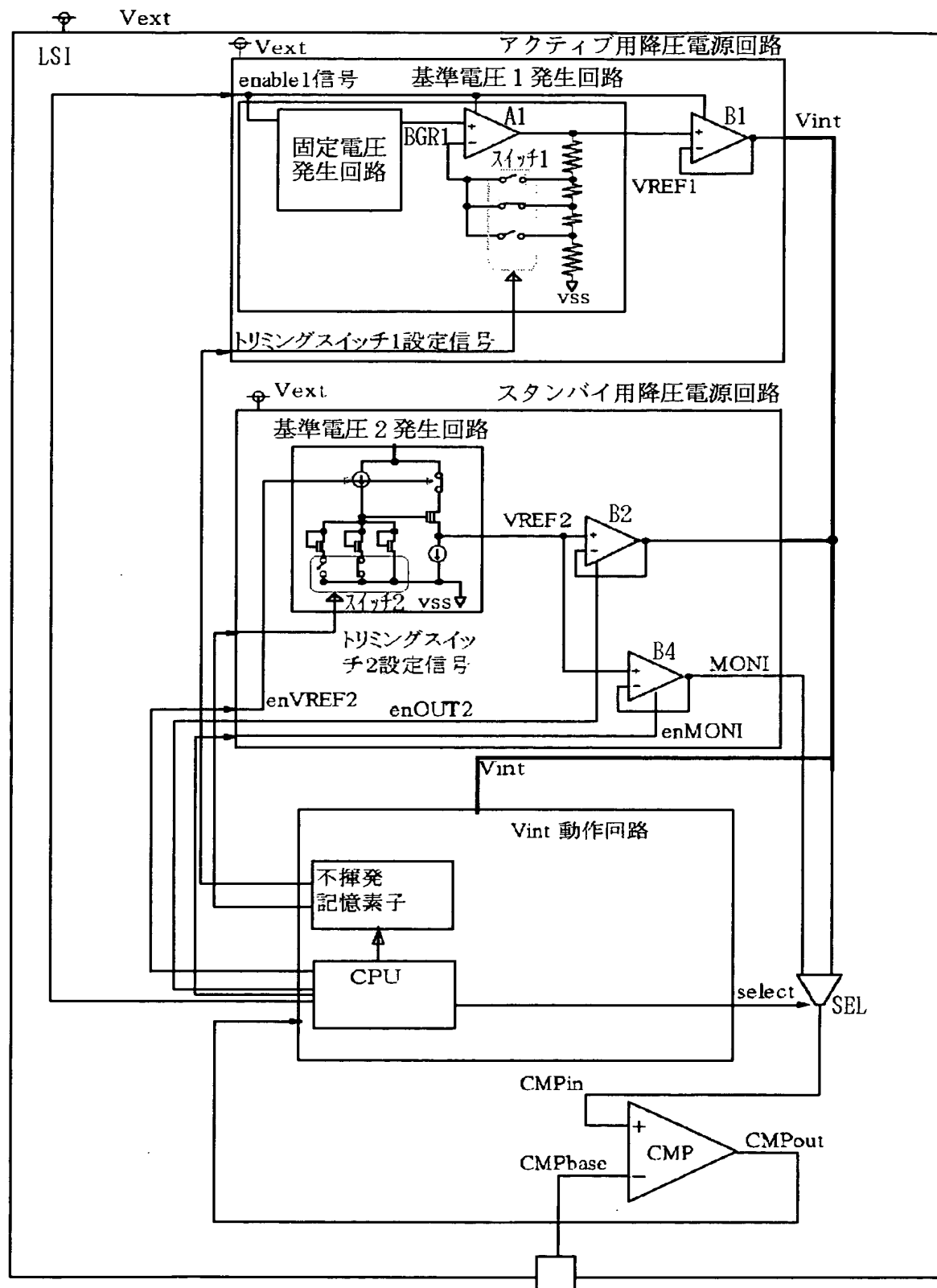
【図 4】



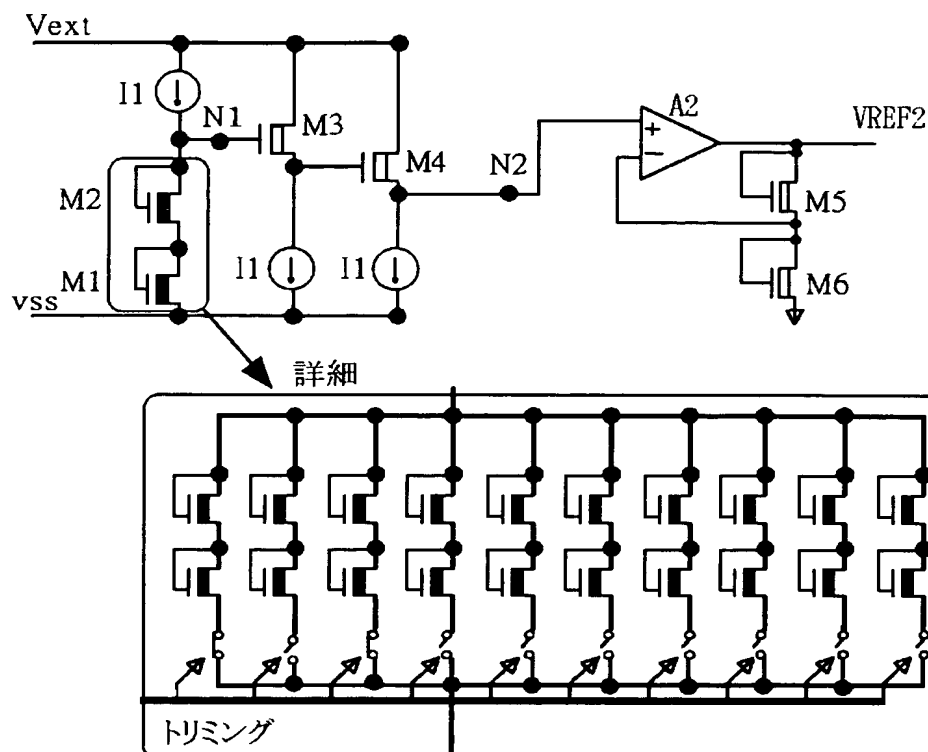
【図 5】



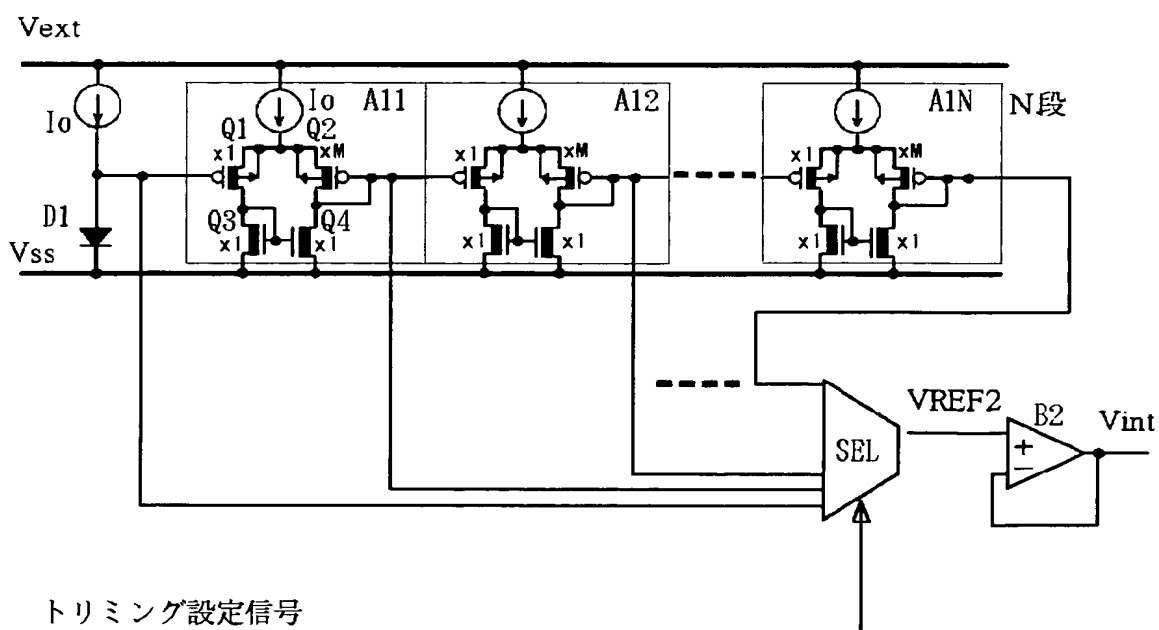
【図 6】



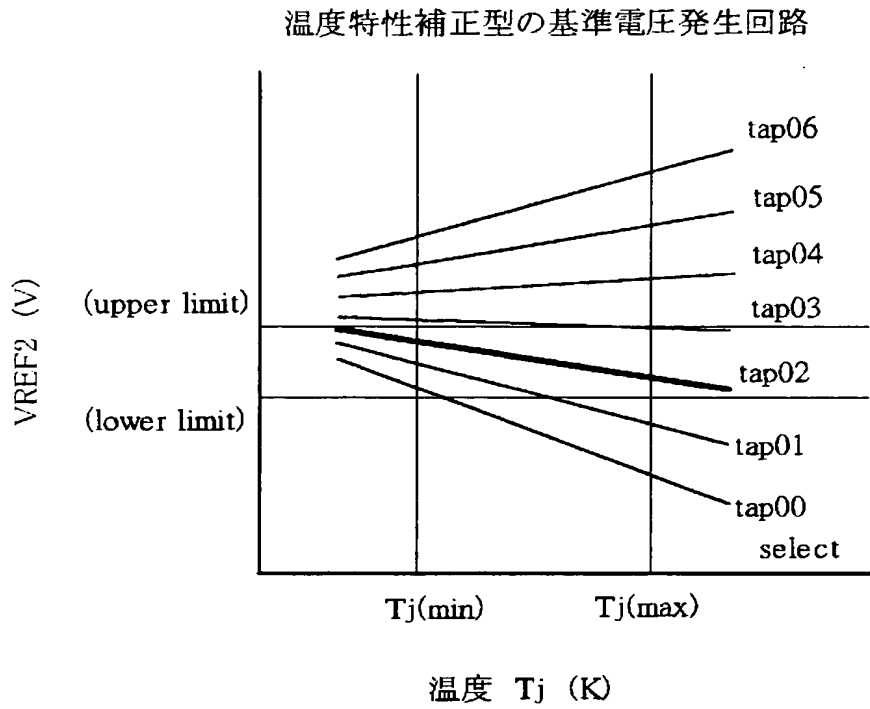
【圖 7】



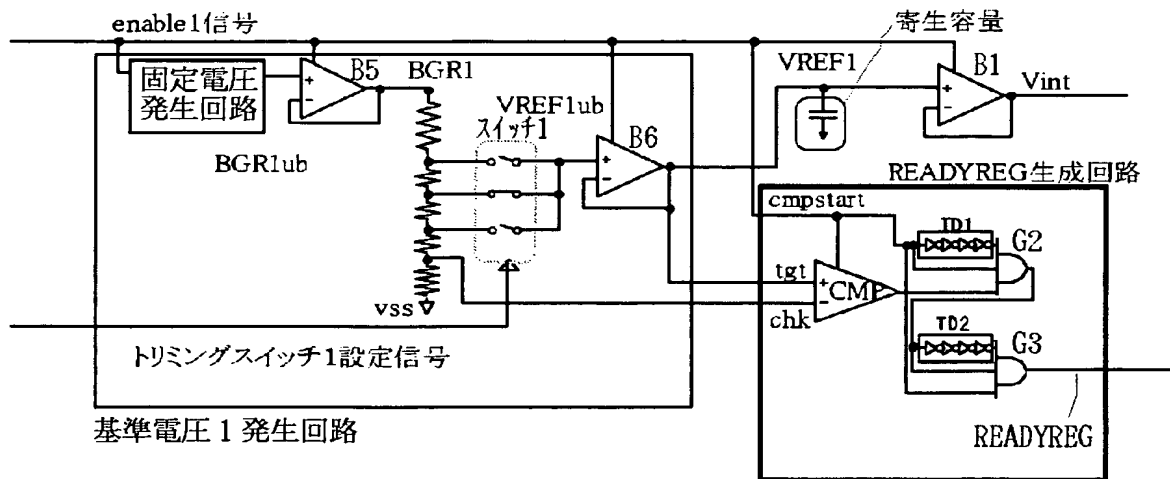
【図 8】



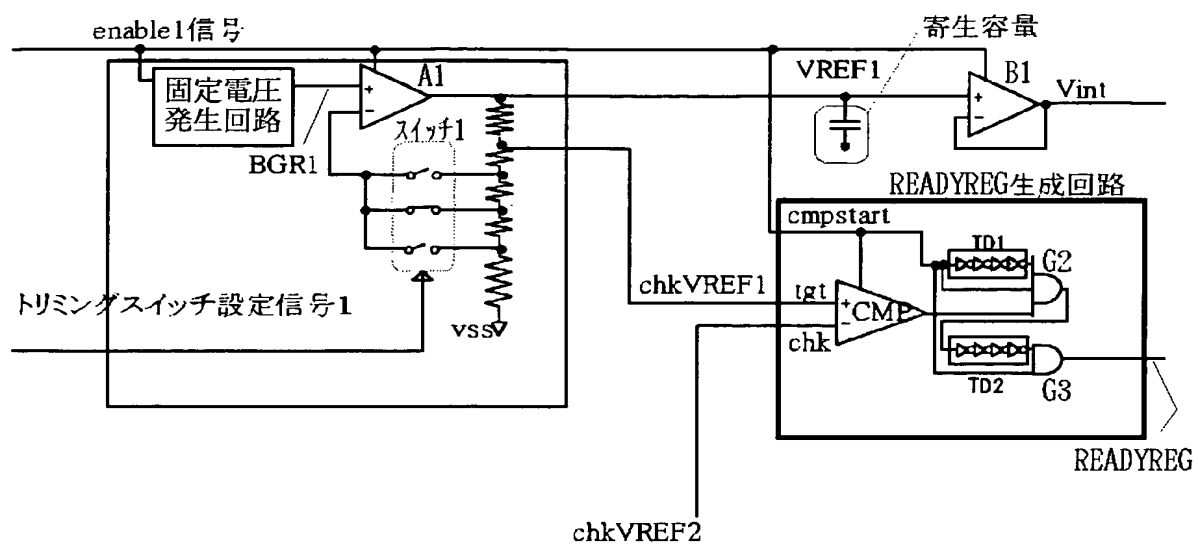
【図 9】



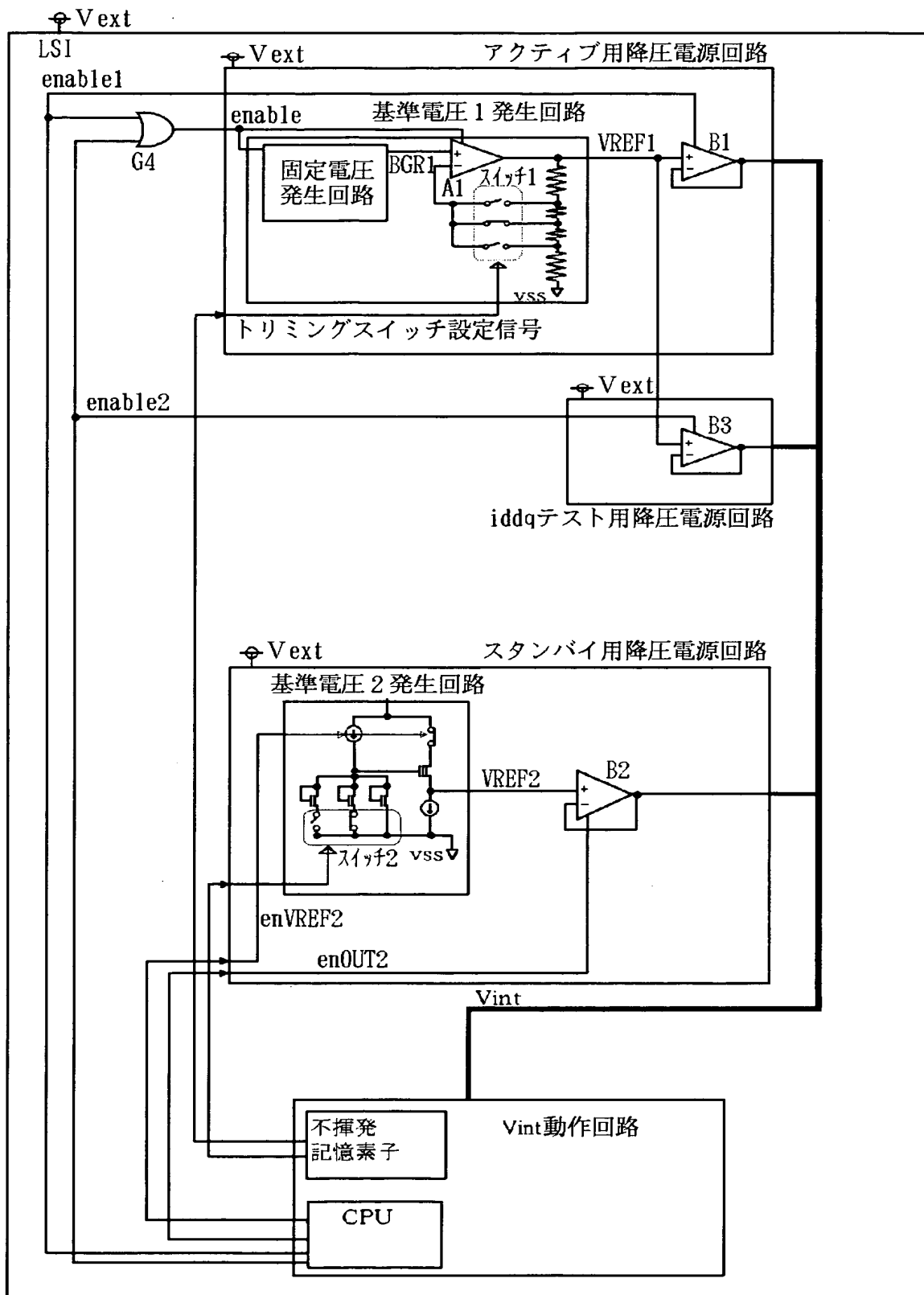
【図 10】



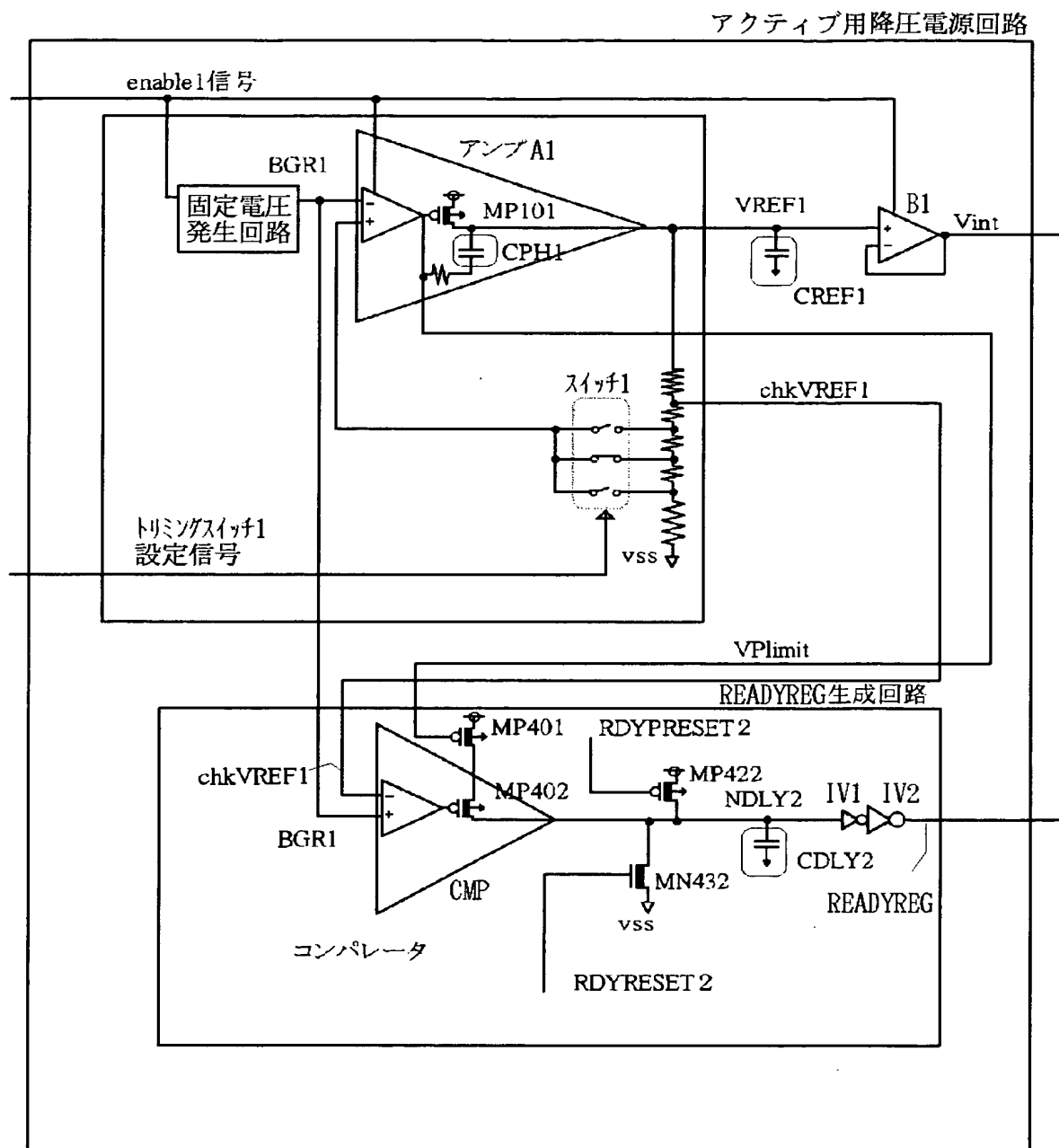
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 小面積化を図りつつ、高性能で低消費電力とし、アクティブ用とスタンバイ用の2つの降圧電源回路の自動電圧調整を実現した半導体集積回路装置を提供する。

【解決手段】 固定電圧発生回路で形成された固定電圧を、抵抗回路と第1トリミングスイッチ設定信号により制御されるスイッチとにより電圧利得が調整される増幅回路で増幅して第1基準電圧を形成し、第1制御信号により活性化される第1出力バッファにより内部回路がアクティブ状態のときの内部降圧電圧を出力し、複数のMOSFETと第2トリミングスイッチ設定信号により制御されるスイッチとにより上記MOSFETのしきい値電圧の組み合わせを調整して第2基準電圧を形成して、第2制御信号により活性化される第2出力バッファにより内部回路がスタンバイ状態のときの内部降圧電圧を出力する。

【選択図】 図2

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2002-299469
【承継人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
 【識別番号】 100081938
 【弁理士】
 【氏名又は名称】 徳若 光政
【提出物件の目録】
 【包括委任状番号】 0308732
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する
 【物件名】 権利の承継を証明する承継証明書 1
 【援用の表示】 特願平 4 - 0 7 8 4 1 8 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 9 9 4 6 9
受付番号	5 0 3 0 1 2 2 3 8 8 8
書類名	出願人名義変更届（一般承継）
担当官	神田 美恵 7 3 9 7
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 24 日

特願 2 0 0 2 - 2 9 9 4 6 9

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 2 9 9 4 6 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 5 9 4]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日
[変更理由] 新規登録
住 所 北海道亀田郡七飯町字中島 1 4 5 番地
氏 名 日立北海セミコンダクタ株式会社
2. 変更年月日 2 0 0 2 年 1 1 月 1 5 日
[変更理由] 名称変更
住所変更
住 所 北海道千歳市泉沢 1 0 0 7 番地 3 9
氏 名 株式会社北日本セミコンダクタテクノロジーズ
3. 変更年月日 2 0 0 3 年 4 月 1 1 日
[変更理由] 名称変更
住 所 北海道千歳市泉沢 1 0 0 7 番地 3 9
氏 名 株式会社ルネサス北日本セミコンダクタ

特願 2 0 0 2 - 2 9 9 4 6 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ